

〈一般研究課題〉 トポロジー最適化を用いたパワー半導体の
構造設計技術

助成研究者 大同大学 服部 佳晋



トポロジー最適化を用いたパワー半導体の 構造設計技術

服部 佳晋
(大同大学)

Structural design technology for power semiconductor Devices using topology optimization

Yoshiyuki Hattori
(Daido University)

Abstract :

In order to achieve carbon neutrality, it is desired to develop vertical GaN power devices that can greatly contribute to energy saving in power electronics equipment. One of the important issues is the design of the device termination that maintains the desired breakdown voltage. The design used device simulation to meet the target breakdown voltage, and the parameters were adjusted through an enormous number of trial and error. Therefore, in this paper, two basic studies were conducted to apply topology optimization, which is a method for automatically deriving high-performance structures, to the termination structure of GaN power devices.

First, we proposed a method to solve only the Poisson's equation in the electric field calculation under the applied drain-source bias. As a result, it was shown that the computational accuracy is almost the same as that of the conventional method, and the analysis time can be greatly shortened.

Next, focusing on the fact that the target termination structure (FLR structure) can be regarded as a structure with a normalized dose of 0 or 1, we proposed a method of binarizing the dose using the double well potential. As a result, although a structure capable of binarizing the dose quantity could be derived, it became clear that the maximum electric field strength of the objective function of the obtained structure was larger than the initial value.

1. はじめに

カーボンニュートラルの実現に向け、電力消費が大きい輸送機器、産業機器、エネルギーインフラ、家電などの大幅な省エネルギー化が望まれている。これらの機器の消費電力に最も影響するのが、スイッチング素子として使われるパワー半導体デバイス(以下、パワーデバイス)の消費電力である。

パワーデバイスは、現状では主にSi(シリコン)デバイスが用いられているが、その性能は理論的限界に近づいており、Siに比べ、大幅に消費電力を低減できる縦型GaNパワーデバイスの実現が望まれている。

パワーデバイスの性能には、オン時の低オン抵抗とオフ時の高耐圧の両立が求められる。縦型GaNパワーデバイスの構造例を図1に示す。オン時に主電流を流すトランジスタ部と、その周辺に配置され、電流は流さずにオフ時にデバイス端部の電界集中を緩和する周辺部から構成される。

縦型GaNパワーデバイスの重要課題の一つに、所望の耐圧を保持する周辺部の設計がある。周辺部の代表的な構造の一つに図1中に示すp型領域を島状に配置したFLR(Field Limiting Rings)がある。これまで、GaNデバイスではp型不純物の活性化率を高めることが困難であったため、性能が優れるFLR構造の適用が難しく、p型不純物領域を使用しないフィールドプレート構造が用いられてきた。ところが近年、p型不純物としてMgを使用し、超高压下でアニールを行うことで活性化率を高める手法が提案され[1]、周辺構造にFLRを使用することが可能になった[2]。

これまでのFLRの設計では、所望の耐圧を得るために、デバイスシミュレータを用い、手でp型領域の本数、幅、間隔などのパラメータを試行錯誤により、最適化されてきた。実際には、すべてのパラメータの組み合わせを網羅して最適化することは不可能なため、極端な制限を設けて設計自由度を抑えた上で最適化が行われてきた。それでも多くの時間を要する上に、得られた構造が最適設計であるという保証はなかった。

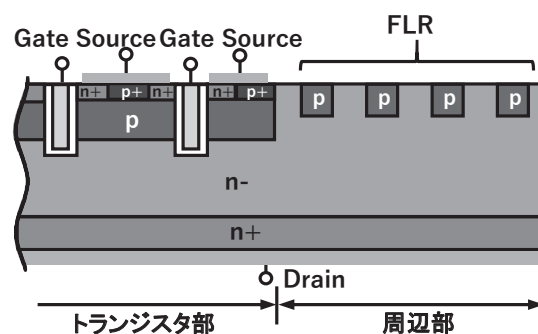


図1 GaNパワーデバイスの断面構造

そこで本研究では、高性能な構造を計算機で自動的に導出する方法であるトポロジー最適化を縦型GaNパワーデバイスのFLR構造設計に応用し、設計自由度を減らすような制限を設けることなく最適構造を求める手法を提案することを目的とする。今回、その目的に向けた基礎検討として、以下の2つを実施した。

(1) FLR構造の電界分布計算手法の検討

ドリフト拡散法を用いたFLR構造の電界分布解析において、トポロジー最適化で一般的な有限要素法を用いて計算する際、フローティング部の電位が定まらないことから、計算時間が長く収束性が悪いことが問題となっている。これまで、ポアソン方程式、電子電流連続式、正孔電流連続式の3つの連立方程式ではなくポアソン方程式のみを解くことで、収束性が向上することが報告されている[3]。そこで、縦型GaNのFLR構造において、ポアソン方程式のみで電界分布を解くことができるかを検証する。

(2) FLR構造設計に向けたトポロジー最適化の検討

これまでにパワーデバイスの終端部のトポロジー最適化手法として、イオン注入を考慮した不純

物濃度の最適化方法が提案されている[4]。今回対象とするFLR構造は、図1に示したようにp型のイオン注入がある領域とない領域の2種類、すなわち1か0の規格化ドーズ量を取るという特徴に着眼し、従来の手法にイオン注入量を0か1の二値化する工夫をすることにより、FLR構造のp型領域を形成できるかを検証する。

2. FLR構造の電界分布計算手法の検討[5]

2.1 対象構造

対象としたFLR構造を図2に示す。構造の一番左のp型領域の不純物濃度は $2 \times 10^{17} [\text{cm}^{-3}]$ 、n-領域の不純物濃度は $5 \times 10^{13} [\text{cm}^{-3}]$ 、n+領域の不純物濃度は、 $2 \times 10^{17} [\text{cm}^{-3}]$ で一定とした。またFLRのp型領域の不純物は表面ピーク濃度が $1.5 \times 10^{17} [\text{cm}^{-3}]$ のガウス分布とした。また、GaNの誘電率は10.4とした。

2.2 計算方法

一般的な計算方法では、以下の式(1)~(3)の連立方程式を解く。

$$\nabla^2 V = -\frac{q}{\epsilon} (p - n + C) \quad (1)$$

$$\nabla \cdot \{-\mu_n n \nabla V + D_n \nabla n\} = R^{\text{SRH}} - G^{\text{ii}} \quad (2)$$

$$\nabla \cdot \{\mu_p p \nabla V + D_p \nabla p\} = R^{\text{SRH}} - G^{\text{ii}} \quad (3)$$

ここで V は電位、 n は電子密度、 p は正孔密度、 q は電気素量、 ϵ は誘電率、 C は不純物密度、 μ_n は電子の移動度、 μ_p は正孔の移動度、 D_n は電子の拡散係数、 D_p は正孔の拡散係数、 R^{SRH} はSRH再結合率、 G^{ii} はインパクトイオン化率である。

一方、ポアソン方程式のみを解く計算方法では、電子密度 n および正孔密度 p を電位 V の関数として、以下の式(4)~(6)のように表す。

$$n = n_i \exp\left(\frac{V - \phi_n}{U_T}\right) \quad (4)$$

$$p = n_i \exp\left(\frac{\phi_p - V}{U_T}\right) \quad (5)$$

$$\phi_n = 0, \quad \phi_p = V_a \quad (6)$$

ここで ϕ_n, ϕ_p は電子と正孔の擬フェルミポテンシャルである。 U_T は熱電圧であり、ボルツマン定数を k 、温度を T としたとき $U_T = kT/q$ と定義される。 V_a は逆バイアスで印加する電圧値である。これらを式(1)のポアソン方程式に代入すると、以下の式(7)の支配方程式が得られる。

$$\nabla^2 V = -\frac{q}{\epsilon} \left(n_i \exp\left(\frac{V_a - V}{U_T}\right) - n_i \exp\left(\frac{V}{U_T}\right) + C \right) \quad (7)$$

この方程式を解くことで電位および電界の分布を求める。

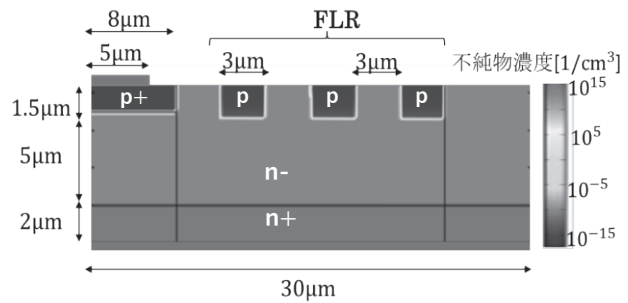


図2 FLRの構造

2.3 結果

構造作成と電界強度計算には、COMSOL Multiphysicsを用いた。一般的な3つの連立方程式を解く計算方法とポアソン方程式のみを解く計算方法で、FLR構造のドレイン-ソース間に逆バイアス電圧100Vを印加した場合のそれぞれの電界分布を図3(a)、(b)に示す。

それぞれの最大電界強度は0.62[MV/cm]と0.41[MV/cm]となった。定量的に差が見られるが、両結果ともに左上のpn接合界面の端部で電界集中が発生しており、電界分布はほぼ一致していることがわかる。以上から、ポアソン方程式のみを解く計算方法の妥当性を確認することができた。

また、図3(a)、(b)の電界分布の計算に要した時間は、3つの連立方程式を解く計算方法では53分38秒であるのに対し、ポアソン方程式のみを解く計算方法では11分29秒であった。この結果から、ポアソン方程式のみを解く計算方法にすることで計算時間を約5分の1に短縮できることがわかった。

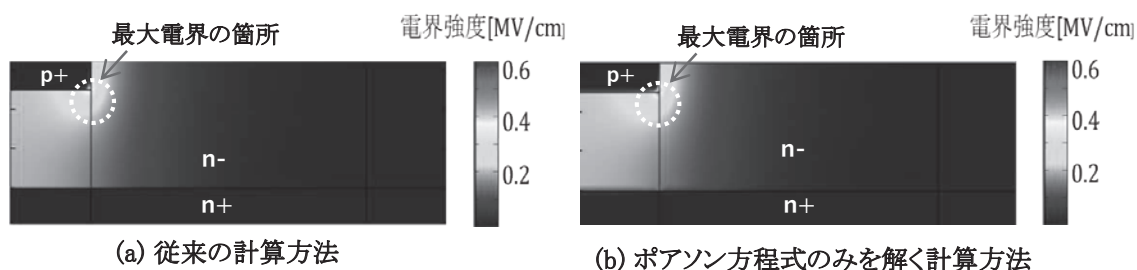


図3 計算方法による電界分布の比較

3. FLR構造設計に向けたトポロジー最適化の検討

3.1 トポロジー最適化とは

構造の最適化は、寸法最適化、形状最適化、トポロジー最適化に分類される。この中でトポロジー最適化は最も自由度の高い方法であり、設計パラメータを「材料密度分布」とすることに特徴がある[6]。

トポロジー最適化は、主に機械系の構造設計分野で研究されてきており、図4に示すように設計したい領域をメッシュ分割し、各セルの材料密度分布を調整することで任意の形状を表現する。設計対象の性能が向上するように(例えば軽量かつ高剛性となるように)各セルの密度分布を変更していくことにより、最適な構造を導出する[7]。トポロジー最適化を半導体デバイスに適用した例はいくつか報告されている[8]-[9]おり、パワーデバイスへの適用例も1件[4]報告されている。



図4 構造物のトポロジー最適化

3.2 FLR構造の最適化方法[10]

今回、FLRの構造最適化計算は、以下の方法で行った。

(1)パワーデバイスの耐圧特性は、ある電流値($1 \times 10^{-6} \text{A}$)が流れる逆方向電圧値で定義される。したがって耐圧特性は、徐々に変化する電圧値を変えながら計算を行い、その電流値に達した時の電圧値を求める必要がある。これでは計算時間が膨大になる。そこで耐圧が高い構造は、電界集中が起こらず、最大電界強度が小さいという点に着目し、これを目的関数とすることで、計算時間の大幅な短縮を図った。

(2)周辺構造のトポロジー最適として、JTE(Junction Termination Extension)構造を対象としイオン注入量の分布を調整することで任意の周辺構造を表現できることが報告されている[4]。本研究では、この方法をベースにFLR構造の最適設計を行う。すなわち、図5に示すように、デバイス周辺部の表面領域を微細にメッシュ化し、各セルのイオン注入量を設計変数として最適化することで、任意の周辺構造を表現する。図6に周辺構造の最適化の概念図を示す。設計変数であるイオン注入量Sを変化させて、目的関数の電界強度が最小になる不純物量で最適構造が決定される。

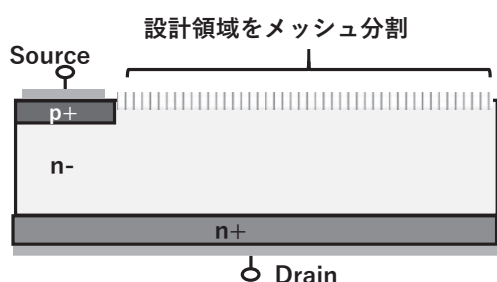


図5 FLRのトポロジー最適化

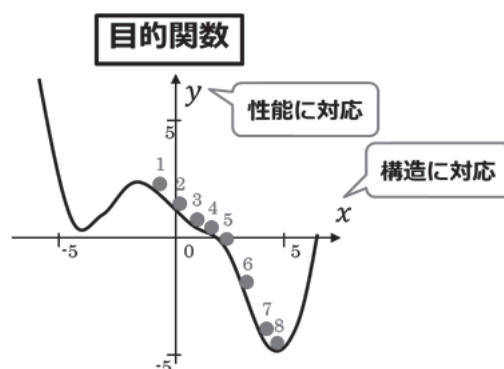
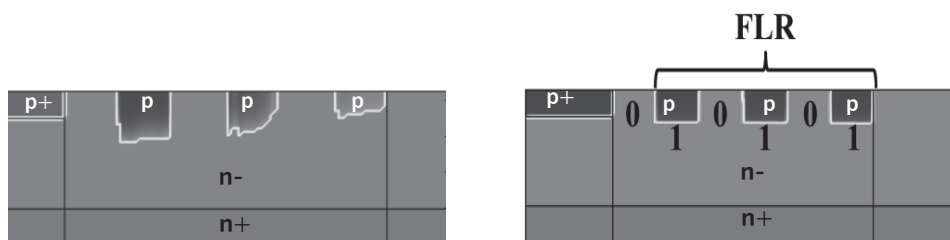


図6 目的関数に対する際手化のイメージ

しかし、イオン注入量で最適化した場合、図7(a)に示すように場所によってドーズ量が異なり、p型層の深さが異なる構造が創出される可能性がある。このような構造を実際に製造するのは困難であり、現実的ではない。そこで、FLR構造はイオン注入がある領域とない領域の2種類から構成されることに着目し、イオン注入量を二値化する。これは数学的には正規化したイオン注入量の取る値が、連続値ではなく、0か1の二値であることに相当する。この場合、図7(b)に示すようにpの深さが均一な構造となる。そこで、イオン注入量を設計変数とする最適設計方法において、とりうる設計変数Sの値を二値化する手法を新たに加える。



(a) ドーズ量を最適化した構造 (p型層の深さが場所により異なる)

(b) ドーズ量を二値化して最適化した構造 (p型層の深さが均一)

図7 ドーズ量の二値化によるFLRの構造最適化

初期構造は図8に示すJTE(Junction Termination Extension)構造とした。p+の領域は濃度が一律なボックスプロファイル、JTE領域はガウシアンプロファイルとした。デバイス内の最大電界強度が最小となる終端構造のドーピング分布を求めるために、文献[4]と同様に、設計変数を規格化ドーピング量 S 、目的関数をドレイン-ソース間のバイアス時の電界強度のKS関数と設定した。なお設計領域 Ω は初期構造でのJTE構造と同じく幅 $21\mu\text{m}$ の領域に設定し、印加電圧は 10V とした。

ここでは、 S を0あるいは1に二値化させるため、以下の制約条件を設けた。

$$p = \int_{\Omega} S^2 \times (S - 1)^2 dx \quad p \leq k \times p_{\text{initial}} \quad (8)$$

p の被積分関数はダブルウェルポテンシャルと呼ばれ、図9に示すように S が0あるいは1の場合に最小値0をとる。なお、 p_{initial} は初期構造での p の値である。今回、初期構造での S を0.4と設定し、二値化を促進させるためのパラメータ k を徐々に減少させて制約を強めながら、目的関数の最小化を行った。デバイス解析と最適化にはCOMSOL Multiphysicsを用いた。

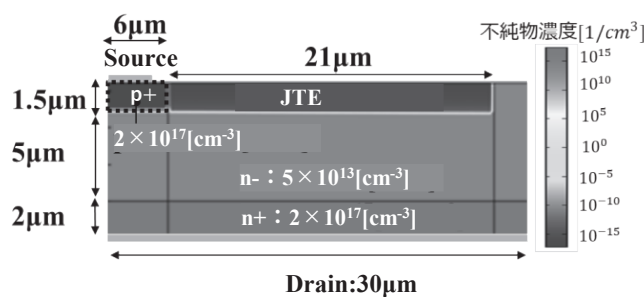


図8 初期構造

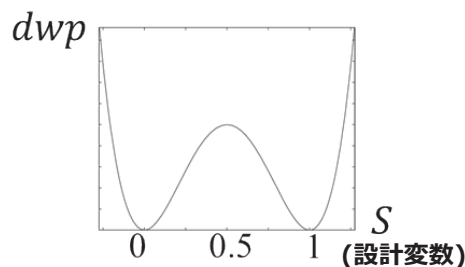


図9 設計変数 S に対するダブルウェルポテンシャル(dwp)の特性

3.3 結果

初期構造と最適化後の規格化ドーピング量 S の分布を図10に示す。図において、 S が1の領域がイオン注入を行う箇所、0の箇所が行わない箇所に相当する。図から、 $k=1$ から0.01までは同じ分布となったが、 $k=0.001$ から制約による影響により、二値化がはじまり、 $k=0.00001$ のときには S は0と1に近い値におおよそ二値化されていることがわかる。これより、提案手法による二値化を確認できた。しかしながら、二値化したにもかかわらず、図11の下の断面構造にあるように S が0の領域でもp型領域が残る結果となった。この領域は本来n-領域となるはずである。これについては構造物の不純物濃度の見直しも含め、今後解析していく。

また、制約パラメータ k と目的関数の関係を表1に示す。表に示す通り、 k が小さくなり制約を強めた場合、目的関数が増加してしまうという課題も明らかになった。最適化するのに伴い、目的関数である最大電界強度が低減していくことが期待されたが、今回の結果はそのようにはならなかった。これについても今後詳細に検討していく。

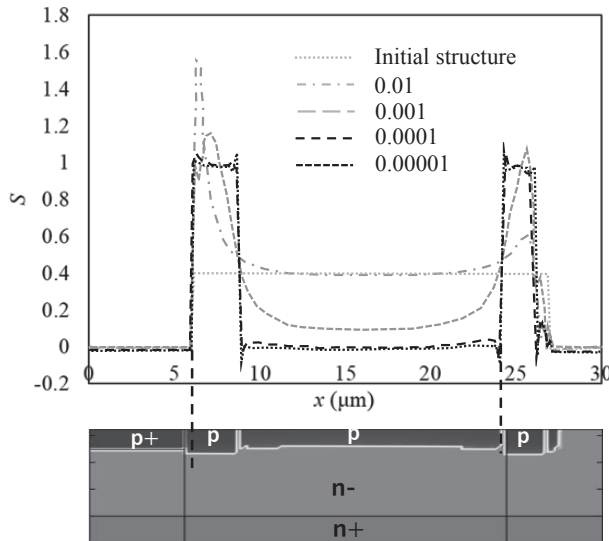


図10 初期ドーズ分布と最適化した規格化ドーズ分布の比較

表1 制約と目的関数の関係

パラメータ k	目的関数
初期構造	1.96×10^5
1	1.35×10^5
0.1	1.33×10^5
0.01	1.33×10^5
0.001	1.61×10^5
0.0001	2.24×10^5
0.00001	2.02×10^5

4. まとめ

本研究では、トポロジー最適化を縦型GaNパワーデバイスの周辺部のFLRの構造設計に応用するための基礎検討を行った。以下にその結果をまとめる。

(1)ドレイン-ソース間のバイアス印加時の電界計算において、ポアソン方程式のみを解く方法で、従来のポアソン方程式、電子電流連続式、正孔電流連続式の3つの連立方程式を解く方法に比べ、精度は同程度で、大幅な解析時間の短縮を実現した。

(2)FLR構造が0あるいは1の規格化ドーズ量をとる構造と見なせることに着眼し、ダブルウェルポテンシャルを用いて、ドーズ量を二値化規格化する手法を提案し、それを実現できることを示した。しかし、二値化して得られた構造の目的関数である最大電界強度は、初期値よりも大きくなるなどの課題も明らかとなった。今後は、二値化によりトポロジー最適化されたFLR構造を導出すること、さらにその結果のデバイスシミュレーションによる効果検証を行っていく予定である。

謝辞

本研究は、関西学院大学工学部の野村勝也講師との共同で実施したものであり、多大なご協力を賜った。また名古屋大学未来材料・システムエレクトロニクス研究所の加地徹特任教授には、縦型GaNパワーデバイス構造に関する情報を頂いた。ここに記して謝意を表す。

参考文献

- [1] Hideki Sakurai, Masato Omori, Shinji Yamada, Akihiko Koura, Hideo Suzuki, Tetsuo Narita, Masahiro Horita, Michal Bo kowski, Jun Suda, Tetsu Kachi, Acceptors activation of Mg-ion implanted GaN by ultra-high-pressure annealing, 19th International Workshop on Junction Technology (IWJT), 2019
- [2] M. Matys, T. Ishida, K. P. Mam, H. Sakurai, K. Kataoka, T. Narita, T. Uesugi, M. Bockowski, T. Nishimura, J. Suda, and T. Kachi, Design and demonstration of nearly-ideal edge termination for GaN p-n junction using Mg-implanted field limiting rings, Applied Physics

Express 14, 074002, 2021

- [3] 山口 憲、富沢 一隆、「非平衡電子輸送論-半導体デバイスシミュレーション-」、アドバンスソフト出版事業部、2011
- [4] K. Nomura, T. Kondoh, T. Ishikawa, S. Yamasaki, K. Yaji, and K. Fujita. K., Doping profile optimization for power devices using topology optimization, IEEE Trans. Electron Devices, vol.65, no.9, pp.3869-3877, 2018
- [5] 山口拓真, 野村勝也, 服部佳晋, GaN縦型パワーデバイスにおけるFLR構造電界分布解析, 2022年電気学会 電子・情報・システム部門大会 PS4-9, pp.1440-1441
- [6] 西脇眞二、トポロジー最適化の理論と様々な物理問題への適用事例、電子情報通信学会誌、vol.104, no.10, pp1098-1104, 2021
- [7] 野村勝也、近藤継男、石川剛、川本敦史、杉森唯益、山下侑祐、杉山隆英、西部祐司、トポロジー最適化を用いたパワーデバイスの新設計手法、電気学会 電子デバイス研究会資料、EDD-13-080, 2013
- [8] M. Stockinger, R. Strasser, R. Plasum, A. Wild, and S.Selberherr, A qualitative study on optimized MOSFET doping profiles, Proc. Simulation of Semiconductor Processes and Devices, pp.77-80, 1998
- [9] M. Stockinger and S. Selberherr, Closed-loop CMOS gate delay time optimization, Proc.29th Eur. Solid -State Device Res. Conf., vol.1, pp.504-507, 1999
- [10] 山口拓真, 野村勝也, 服部佳晋, GaN縦型パワーデバイスにおけるFLR構造の設計に向けたトポロジー最適化の検討, 第70回応用物理学会春季学術講演会, 16p-PA04-15, 2023